

Ref by 258/224

TI - Data packet switching system - uses packets having header
sections indicating destination of packet in network
DC - W01 W02 R56 R58
PA - (TELE-) LAB CEN TELECOMMUN
IN - DEJEAN JH
NP - 1
PN - FR2513472-A 83.03.25 (8317)
PR - 81.09.18 81FR-017617
IC - H04J-006/00 H04Q-011/04
AB - (FR2513472)

2513472

The system includes a free memory cell distribution cell circuit associated with each successive sub-group of d cells (0 to d-1, d to 2d-1 etc). The distribution circuit receives information on the free or occupied state of the cell from each corresponding memory cell microprocessor. The circuit distributes the code of one of the free cells to a number (r/d) of interface sections having access to the cells of the subgroup.

Each of the N/d memory cell distribution circuits broadcasts successively the address of (r/d) sections of interface to which it is connected. Each input interface section includes a control circuit which, on reception of its address, may select the free cell offered by the distributor and control the first stage of preselection to make connection with the said cell. (18pp Dwg.No.4/5)

BEST AVAILABLE COPY

RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

—
PARIS
—

⑪ N° de publication :

2 513 472

(A n'utiliser que pour les
commandes de reproduction.)

A2
**DEMANDE
DE CERTIFICAT D'ADDITION**

⑪

N° 81 17617

Se référant : au brevet d'invention n° 80 06210 du 20 mars 1980.

⑤4

Commutateur de paquets pour un réseau à commutation de paquets.

⑤1

Classification internationale (Int. Cl. ⁹). H 04 Q 11/04; H 04 J 6/00.

②2

Date de dépôt..... 18 septembre 1981.

③3 ③2 ③1

Priorité revendiquée :

④1

Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 12 du 25-3-1983.

⑦1

Déposant : LABORATOIRE CENTRAL DE TELECOMMUNICATIONS, société anonyme. — FR.

⑦2

Invention de : Jacques Henri Dejean.

⑦3

Titulaire : *Idem* ⑦1

⑦4

Mandataire : Pierre L. Grandry, LCT service des brevets,
BP 40, 78141 Vélizy-Villacoublay Cedex.

Certificat(s) d'addition antérieur(s) :

D

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

L'invention concerne un perfectionnement au commutateur de paquets décrit dans la demande de brevet principal.

- Le commutateur décrit dans cette demande de brevet principal est destiné à être utilisé dans un réseau à commutation de paquets, où
- 5 chaque paquet comporte un en-tête indiquant seulement la destination du paquet et le type d'adressage utilisé et où chaque commutateur comporte des moyens pour lire ledit en-tête et des moyens pour déterminer, à partir de tables d'acheminement, la sortie du commutateur vers laquelle le paquet doit être envoyé, et comprend :
- 10 - n sections d'interface comprenant chacune une partie section d'interface entrante et une partie section d'interface sortante pour permettre l'entrée et la sortie de paquets du commutateur ;
 - un premier étage de présélection spatiale à n entrées reliées auxdites sections d'interface entrantes et N sorties à accès partiel ;
 - 15 - un deuxième étage de type temporel comportant N cellules de mémoire indépendantes, de la taille d'un paquet, associées chacune à un microprocesseur de commande et reliées, par leur entrée, respectivement aux N sorties de l'étage de présélection, lesdites cellules étant réparties dans p groupes gérés par p microcalculateurs contrôlant res-
 - 20 pectivement les microprocesseurs de commande des cellules du groupe ;
 - un troisième étage de brassage spatial comportant p sections de brassage ayant chacune $\frac{N}{p}$ entrées reliées respectivement aux sorties des cellules de mémoire d'un groupe correspondant et $\frac{N}{p}$ sorties donnant accès à $\frac{N}{p}$ mailles intermédiaires, chacune desdites sections de brassage
 - 25 étant associée à un circuit gérant de mailles ;
 - un quatrième étage de sélection finale à N entrées reliées auxdites mailles intermédiaires et n sorties reliées respectivement aux n sections d'interface sortantes ;
 - au moins deux calculateurs pour la gestion dupliquée du commutateur, lesdits calculateurs étant desservis chacun par une section d'inter-
 - 30 face entrante et une section d'interface sortante et contrôlant lesdits microcalculateurs de groupe ; et
 - une horloge locale contrôlée par lesdits calculateurs de gestion du commutateur.

- 35 Il est tel que, si on numérote les cellules de mémoire de 0 à N-1, chaque section d'interface entrante a accès à r cellules de numéros successifs, que les groupes de cellules successifs comprennent

respectivement pour le premier groupe les cellules 0, p, 2p... $\left(\frac{N}{p}-1\right)p$,
 pour le second groupe les cellules 1, p+1, 2p+1... $\left(\frac{N}{p}-1\right)(p+1)$ et ainsi
 de suite, et qu'il est prévu que chaque section d'interface entrante
 successive a accès respectivement aux cellules 0 à r-1, d à r-1+d,
 5 2d à r-1+2d et ainsi de suite, d étant un nombre inférieur à r et de
 préférence un sous-multiple de r.

Selon la demande de brevet principal, il est prévu un distri-
 buteur de cellules libres qui distribue, sur $\frac{N}{d}$ bus de diffusion, les
 informations sur les états de liberté des cellules des $\frac{N}{d}$ sous-groupes
 10 de d cellules successives aux sections d'interface entrantes ayant accès
 à ces cellules.

Cependant, l'utilisation d'un distributeur unique permettant
 d'assurer à chaque section d'interface entrante l'examen de l'ensemble
 des cellules de mémoire auxquelles elle a accès conduit à un temps
 15 d'examen relativement long. En particulier, dans le cas où aucune précau-
 tion n'est prise pour assurer un espacement minimum entre les paquets, le
 temps séparant les débuts de deux paquets successifs peut être notable-
 ment plus court et le second paquet risque donc d'être perdu si une cel-
 lule libre n'est pas trouvée suffisamment vite. En effet, les paquets
 20 peuvent être de longueur variable et en particulier ne comporter qu'une
 partie information réduite au minimum, d'où un espacement entre deux
 paquets très court.

Par ailleurs, dans le commutateur selon la demande de brevet
 principal, chaque section d'interface de terminaux comprend une mémoire
 25 unique (d'octet ou de paquet). Ainsi chaque information doit être ins-
 crite puis lue dans la même mémoire, ce qui double le temps de transfert
 des paquets.

La présente invention a donc pour objet un commutateur de pa-
 quets perfectionné dans lequel ces inconvénients et limitations de
 30 vitesse sont supprimés.

Selon l'invention, il est prévu un commutateur de paquets
 comme décrit ci-dessus selon la demande de brevet principal, dans lequel
 il est prévu, en outre, un circuit distributeur de cellules de mémoire
 libres associé à chaque sous-groupe de d cellules successives, 0 à d-1,
 35 d à 2d-1, etc., ledit circuit distributeur recevant, de chaque micro-
 processeur de cellule de mémoire associée, l'information sur l'état libre
 ou occupé de la cellule correspondante et distribuant le code d'une de
 ces cellules libres aux $\frac{r}{d}$ sections d'interface ayant accès aux dites cel-
 lules du sous-groupe, dans lequel chacun des $\frac{r}{d}$ distributeurs de cellules

de mémoire diffuse également successivement l'adresse des $\frac{r}{d}$ sections d'interface auxquelles il est relié et dans lequel chaque section d'interface entrante comporte un circuit de commande qui, à la réception de son adresse, peut sélectionner la cellule libre offerte par le distributeur et commander le premier étage de présélection pour la mettre en liaison avec ladite cellule.

L'invention sera mieux comprise et d'autres caractéristiques apparaîtront à l'aide de la description ci-après et des dessins joints où :

- la figure 1 représente le format de l'en-tête des paquets utilisés ;
- 10 - la figure 2 est le schéma général du commutateur de paquets, tel que décrit dans la demande de brevet principal ;
- la figure 3 est un diagramme explicatif de la répartition des cellules de mémoire du commutateur de la figure 2 ;
- la figure 4 représente le schéma d'un distributeur de cellules de
- 15 mémoire libres selon l'invention ; et
- la figure 5 est un schéma des sections d'interface de terminaux entrants et sortants selon l'invention.

Les principes généraux auxquels obéit l'acheminement des paquets dans le réseau considéré sont décrits dans la demande de brevet principal et ne seront pas repris ici.

- Chaque paquet est composé d'un préfixe protégé suivi d'une partie information non protégée, l'ensemble ayant une longueur utile constante. Bien entendu, la longueur effective d'un paquet peut être plus courte lorsque la partie information n'est utilisée que partiellement.
- 25 Le préfixe est protégé par un code à redondance. Ce code consiste à faire suivre chaque groupe de quatre éléments binaires contenant l'information d'un groupe de quatre éléments binaires contenant, soit la réplique, soit le complément des quatre premiers éléments binaires et qui apportent ainsi la redondance nécessaire. Dans l'hypothèse envisagée ici, on a
 - 30 supposé un environnement de signalisation par canal commun, ce qui, par rapport à la demande de brevet principal, amène à supprimer la signalisation dans la partie information du paquet et permet d'allonger le préfixe jusqu'à seize octets sans modifier la longueur hors-tout du paquet.

La figure 1 représente le format du préfixe choisi comprenant

- 35 un en-tête et un caractère de contrôle C. L'en-tête comprend un certain nombre d'informations dont la description détaillée est donnée dans la demande de brevet principal. Ce sont :

- le type d'adressage TY,
- l'identité d'un commutateur de référence CRE,

- le code de la section de terminal SEC,
- le code du module de terminaux MOD,
- le code du terminal TERM,
- l'identité du commutateur d'origine du paquet ou commutateur amont CAM,
- 5 - l'indication de l'heure d'émission du paquet H,
- un élément binaire de séquence S prenant alternativement les valeurs 1 et 0 à l'émission des paquets, ce qui permet de déterminer qu'un paquet est manquant,
- un caractère de réserve RES.

10 Les longueurs des divers caractères sont indiquées sur la figure 1, ces longueurs étant données en nombre d'éléments binaires protégés, le nombre total d'éléments étant le double.

La figure 2 représente le commutateur selon la demande de brevet principal, dont on va rappeler la structure générale prévue pour
 15 s'adapter à tous les types de centre. Les paquets, arrivant dans le commutateur par les artères entrantes à grand débit (34 Meb/s) A1, A2 ..., ou par les sections de terminaux ST ou les calculateurs implantés dans le commutateur CA1, CA2 ..., doivent être stockés en mémoire le temps d'analyser leur préfixe et de décider de leur destination. Les paquets
 20 doivent être ensuite placés dans N files d'attente, correspondant aux N sorties du commutateur. La structure adoptée est une structure de type STSS dans laquelle la mémoire occupe une position centrale et est aussi banalisée que possible pour mettre en commun les zones de mémoire libres et celles utilisées pour le stockage des paquets en attente. Le
 25 commutateur dessert trente-deux sections entrantes et trente-deux sections sortantes. Chaque section comprend un circuit d'interface d'entrée, associé à un circuit d'interface de sortie. Plus précisément, on a représenté, sur la figure 2, trois types de section différents :

- les sections d'interface ligne comprenant un circuit d'interface
 30 ligne entrante, ILE1 à ILE3, et un circuit d'interface ligne sortante, ILS1 à ILS3, qui desservent des artères de transmission à 34 Meb/s ;
- les sections d'interface terminaux comprenant un circuit d'interface terminaux entrants ITE, un circuit d'interface terminaux sortants ITS et une section de terminaux ST desservant deux cent cinquante-six
 35 terminaux reliés respectivement aux voies numériques VNO à VN255 à 64 keb/s d'un multiplex numérique ; et
- les sections d'interface calculateur comprenant un circuit d'interface calculateur entrant, ICE1, ICE2, et un circuit d'interface calculateur sortant, ICS1, ICS2, qui desservent chacune un calculateur, comme cela

est représenté sur la figure 2, où plusieurs, les sections d'interface calculateur étant toujours groupées par deux pour des raisons de duplication des calculateurs. Ces dernières sections permettent la connexion des calculateurs au réseau à paquets et donc à l'ensemble des commutateurs et à leurs calculateurs.

On remarquera que la section d'interface ligne ILEI-ILSI n'est pas reliée à une artère à 34 Meb/s, mais sert de section d'interface de réserve pour les autres sections d'interface ligne. Le commutateur comporte quatre étages. Le premier étage, de type spatial, est un étage de présélection PS à accès partiel à trente-deux entrées, auxquelles sont reliés les trente-deux circuits d'interface entrants et deux cent cinquante-six sorties reliées respectivement à deux cent cinquante-six cellules de mémoire, CEM0 à CEM255, du second étage de type temporel. Ces deux cent cinquante-six cellules de mémoire indépendantes sont réparties en seize groupes G0 à G15 de seize cellules, d'une manière qui sera détaillée dans la suite. Chaque cellule est de la taille maximum d'un paquet (cent vingt-huit octets) et est munie d'un microprocesseur spécialisé (non représenté sur la figure) capable d'interpréter l'en-tête du paquet et d'en déduire le numéro de la section sortante à laquelle ce paquet devra être envoyé. Pour cela, le préfixe du paquet traverse d'abord un circuit qui détecte et corrige les erreurs dans les limites permises par le code à redondance, avant d'effectuer l'enregistrement avec le reste du paquet dans la cellule de mémoire. En même temps, l'en-tête, corrigé et débarrassé des éléments binaires redondants, est inscrit dans un registre séparé où le microprocesseur, muni de son programme et de ses tables d'acheminement, peut venir le traiter. En utilisant l'en-tête et les tables d'acheminement, le microprocesseur détermine le numéro de la section sortante vers laquelle le paquet doit être dirigé.

Au niveau de chaque groupe de cellules de mémoire, est prévu un microcalculateur, CG0 à CG15, qui se charge des tâches de gestion du groupe et, en particulier, de la mise à jour des tables d'acheminement des microprocesseurs de chaque cellule de mémoire. Tous ces microcalculateurs CG0 à CG15 sont reliés aux calculateurs dupliqués CA1, CA2 de gestion du commutateur.

Les sorties des cellules de mémoire de chaque groupe sont reliées respectivement aux entrées d'une section de brassage, SBO à SB16, à seize entrées et seize sorties, aboutissant à seize mailles

intermédiaires. Ces sections de brassage constituent le troisième étage, de type spatial, du commutateur et sont gérées par des circuits gérants de mailles GMC à GM15. Les mailles de sortie de cet étage de brassage sont reliées aux entrées du quatrième étage de sélection finale SF du
5 commutateur. Ce dernier est commandé par les sections d'interface sortantes qui reçoivent, des gérants de mailles GM0 à GM15, par des bus dont deux seulement sont représentés, l'indication des cellules de mémoire en attente pour leur transférer un paquet. Ce sont les sections
10 sortantes qui sélectionnent à tour de rôle les cellules en attente sur elles, par l'intermédiaire de la sélection d'une maille par l'étage de sélection finale SF.

Par ailleurs, l'état libre ou occupé des cellules de mémoire est envoyé à un distributeur de cellules libres DC qui communique l'identité des cellules libres aux sections d'interface entrantes, par
15 l'intermédiaire de trente-deux bus de diffusion, les sections entrantes commandant l'étage de présélection PS.

Enfin, l'horloge locale CL fournit aux éventuels terminaux et aux cellules de mémoire les signaux d'horloge h nécessaires et est remise à l'heure périodiquement sous le contrôle des calculateurs CA1
20 et CA2 de gestion du commutateur, selon la procédure indiquée dans la demande de brevet principal. L'horloge CL est considérée comme un périphérique des calculateurs qui, par ailleurs dans le cas de centres principaux, ont la tâche d'expédier périodiquement des paquets horaires vers les centres dont ils doivent assurer la
25 synchronisation.

On va maintenant décrire plus en détail l'étage de présélection à accès partiel et la distribution des cellules de mémoire avec l'aide de la figure 3. L'étage de présélection PS a trente-deux entrées, 0 à 31, une par section entrante, et deux cent cinquante-six
30 sorties reliées chacune à une cellule de mémoire, ces cellules étant numérotées de 0 à 255 (CEM0 à CEM255). L'accès partiel est organisé de façon que chaque section entrante ait accès à seulement trente-deux cellules : la section 0 a accès aux cellules 0 à 31, la section 1 aux cellules 8 à 39, la section 2 aux cellules 16 à 47, etc. Ceci est
35 représenté sur la figure 3 où chaque trait plein fait correspondre à une section trente-deux cellules successives.

Par ailleurs, les cellules de mémoire sont réparties, une par une, dans les seize groupes G0 à G15 dans leur ordre de succession.

Ainsi, la cellule 0 fait partie du groupe G0, la cellule 1 fait partie du groupe G1, etc. Le groupe G0 comprend donc les cellules 0, 16, 32, 48...240, le groupe G1 les cellules 1, 17, 33...241, etc. Ceci a l'avantage que les trente-deux cellules auxquelles a accès une section donnée sont réparties par deux dans les seize groupes, ce qui limite les inconvénients de l'indisponibilité d'un groupe de cellules de mémoire. De plus, on constate que, si l'on définit comme sous-groupes huit cellules successives 0 à 7, 8 à 15, etc., chaque sous-groupe est accessible à quatre sections entrantes voisines et que deux sections entrantes successives n'ont que trois sous-groupes en commun.

L'état d'occupation des cellules de mémoire d'un sous-groupe est diffusé sous forme série par le distributeur de cellules libres sur un bus de diffusion particulier destiné aux quatre sections entrantes concernées par ces huit cellules.

D'autre part, l'étage de présélection PS est constitué de sélecteurs de base 1 x 8 à une entrée et huit sorties, chaque section entrante étant associée à quatre sélecteurs de base permettant l'accès aux trente-deux cellules correspondantes.

On va maintenant décrire la solution selon l'invention pour la distribution des cellules libres, en se référant à la figure 4 où, contrairement au cas de la figure 2, il est prévu un circuit distributeur de cellules de mémoire par sous-groupe de huit cellules. Un de ces circuits distributeurs DCM est représenté sur la figure 4 ainsi qu'une des quatre sections d'interface entrante ILE qu'il dessert et une des huit cellules de mémoire CEM du sous-groupe associé à ces quatre sections.

Le distributeur DCM comprend un sélecteur de cellules libres SCM recevant de chacune des huit cellules de mémoire, par un fil privé P, l'information sur l'état libre ou occupé de la cellule. Le distributeur comprend également un compteur d'adressage CAS avançant sous la commande d'un signal d'horloge H appliqué par l'intermédiaire d'un circuit ET 101 commandé par le sélecteur de cellules libres SCM. Le sélecteur de cellules libres SCM choisit une cellule libre parmi les huit cellules de mémoire associées et diffuse son code sur les fils ACM du bus B. Par ailleurs, il envoie un signal binaire de validation sur le fil V. Enfin, le compteur d'adresse CAS envoie sur les fils AS du bus successivement les adresses des quatre sections entrantes concernées et reliées au bus B. Avec un signal d'horloge de 1 Mhz dont l'application

au compteur CAS est autorisée par le sélecteur SCM, le cycle complet d'offre d'une cellule libre aux quatre sections entrantes dure quatre microsecondes.

Chaque section d'interface entrante ILE comprend dans son
5 circuit de commande un détecteur d'adresse DA relié aux fils AS du bus B et une porte ET multiple 102 à quatre entrées reliées respectivement aux fils ACM du bus, au fil de validation V, à la sortie du détecteur d'adresse DA et au fil de demande venant de l'élément d'émission en amont de la section entrante, conformément aux principes décrits dans la
10 demande de brevet principal.

La prise de la cellule de mémoire s'effectue par le signal d'offre appliqué à la cellule par l'intermédiaire du sélecteur S faisant partie de l'étage de présélection PS à accès partiel.

On va maintenant expliquer le fonctionnement en supposant que
15 la cellule CEM représentée est libre. Celle-ci envoie sur le fil P l'information sur son état libre. Le sélecteur de cellules libres SCM la sélectionne et diffuse son code sur les fils ACM. En même temps, il envoie un signal binaire de validation sur le fil V et autorise l'application du signal d'horloge H au compteur d'adressage CAS. Celui-
20 ci diffuse alors successivement les codes d'adresse des quatre sections d'interface entrante auxquelles le distributeur DCM est relié. En supposant que la section représentée ILE cherche à sélectionner une cellule libre, le signal de demande est donc présent. L'élément binaire de validation étant présent sur le fil V, dès que le détecteur DA détecte
25 l'adresse de la section sur les fils AS, il va autoriser le transfert du code d'adresse de la cellule libre, présent sur les fils ACM, vers le sélecteur S qui va alors se positionner pour appliquer le signal d'offre à la cellule de mémoire libre CEM. Celle-ci supprime alors son signal de liberté sur le fil P. Le sélecteur de cellules libres SCM
30 supprime alors le signal de validation empêchant toute prise ultérieure de la cellule par une autre section et bloque, par le circuit ET 101, l'avance du compteur d'adressage CAS.

Dès que le sélecteur de cellules libres SCM a choisi une autre cellule libre, il en diffuse le code sur les fils ACM, rétablit le
35 signal de validation et débloque le compteur d'adressage CAS. Le mécanisme décrit ci-dessus peut donc reprendre.

On peut noter, comme déjà indiqué dans la demande de brevet principal, que dès qu'une section d'interface entrante transmet un paquet

vers une cellule de mémoire, elle anticipe sur la réception d'un nouveau paquet et cherche à obtenir une nouvelle cellule libre selon le processus ci-dessus.

La figure 5 représente le schéma des sections d'interface de terminaux selon l'invention. La section d'interface sortante ITS réalise le lien entre une sortie de l'étage de sélection finale SF et huit modules de la section de terminaux non représentés. La section d'interface sortante ITS comprend un circuit de commande CC et une mémoire constituée par un premier registre R1 capable de recevoir un octet et un deuxième élément de mémoire R2 à six registres d'octet. Entre les deux ont été représentées trois connexions, I pour l'information, O pour l'offre, D pour la demande. Le circuit de commande est connecté en parallèle entre les deux éléments R1 et R2 et peut, par la porte ET 103, située sur le fil de demande, bloquer l'écoulement des informations dans le cas où on veut utiliser la liaison directe entre la section sortante ITS et la section entrante ITE, comme on va l'expliquer ci-dessous. L'élément de mémoire R2 comprend six registres d'octets, car c'est le nombre d'octets précédant le code du module de terminaux MOD dans l'en-tête (figure 1). Ainsi le circuit de commande a le temps de recevoir du registre R1 le code de module MOD avant la sortie du premier octet de l'élément de mémoire R2 et a donc le temps de commander le sélecteur S2.

Dans la section d'interface entrante ITE, seuls deux registres d'octets R'1 et R'2 sont nécessaires. En effet, le circuit de commande CC' n'a pas à analyser l'en-tête d'un paquet venant d'un module via le sélecteur S'2 pour le transmettre à la première cellule de mémoire libre disponible, par l'intermédiaire de l'étage de présélection PS. Sur le fil d'offre, on a prévu une porte OU 104 pour permettre le passage d'un paquet par la liaison directe entre les sections d'interface sortante ITS et entrante ITE. En effet il peut être nécessaire d'envoyer dans le commutateur, à partir de la section sortante, des paquets de maintenance, de gestion ou d'alarme. Dans ce cas, le circuit de commande CC bloque l'écoulement des paquets normaux par l'intermédiaire de la porte ET 103 et envoie le ou les paquets spéciaux mentionnés vers le circuit de commande CC' par une liaison directe représentée sur la figure. Le circuit de commande CC' peut alors envoyer par la porte OU 104 un signal d'offre pour introduire les paquets, vers le registre R'2, dans la voie d'écoulement normal des paquets.

Grâce à l'utilisation d'au moins deux registres (R'1, R'2 ou R1, R2), on peut assurer la simultanéité de la réception et de la transmission dans les sections d'interface de terminaux entrants et sortants et obtenir ainsi un retard de transmission divisé par deux.

- 5 Bien que, dans la demande de brevet principal et dans la présente demande de certificat d'addition, le commutateur ait le même nombre d'entrées et de sorties, il serait parfaitement imaginable de prévoir des nombres différents pour réaliser une expansion ou une concentration, les sorties n'étant pas nécessairement couplées à des
- 10 entrées correspondantes pour réaliser des liaisons bidirectionnelles. Les sections de brassage du troisième étage pourraient de même ne pas être carrées.

Bien entendu, l'exemple de réalisation décrit n'est nullement limitatif de l'invention.

REVENDECATIONS

1. Commutateur pour un réseau à paquets, dans lequel chaque paquet comporte un en-tête indiquant la destination du paquet, comprenant :

- n sections d'interface comprenant chacune une partie section d'interface entrante et une partie section d'interface sortante pour permettre l'entrée et la sortie de paquets du commutateur ;
 - un premier étage de présélection spatiale à n entrées reliées auxdites sections d'interface entrantes et N sorties à accès partiel ;
 - un deuxième étage de type temporel comportant N cellules de mémoire indépendantes, de la taille d'un paquet, associées chacune à un microprocesseur de commande et reliées, par leur entrée respectivement aux N sorties de l'étage de présélection, lesdites cellules étant réparties dans p groupes gérés par p microcalculateurs contrôlant respectivement les microprocesseurs de commande des cellules du groupe ;
 - un troisième étage de brassage spatial comportant p sections de brassage ayant chacune $\frac{N}{p}$ entrées reliées respectivement aux sorties des cellules de mémoire d'un groupe correspondant et $\frac{N}{p}$ sorties donnant accès à $\frac{N}{p}$ mailles intermédiaires, chacune desdites sections de brassage étant associée à un circuit gérant de mailles ;
 - un quatrième étage de sélection finale à N entrées reliées auxdites mailles intermédiaires et n sorties reliées respectivement aux n sections d'interface sortantes ;
 - au moins deux calculateurs pour la gestion dupliquée du commutateur, lesdits calculateurs étant desservis chacun par une section d'interface entrante et une section d'interface sortante et contrôlant lesdits microcalculateurs de groupe ; et
 - une horloge locale contrôlée par lesdits calculateurs de gestion du commutateur,
- ledit commutateur étant tel que, si on numérote les cellules de mémoire de 0 à N-1, chaque section d'interface entrante a accès à r cellules de numéros successifs, que les groupes de cellules successifs comprennent respectivement pour le premier groupe les cellules 0, p, 2p... $\left(\frac{N}{p}-1\right)p$, pour le second groupe les cellules 1, p+1, 2p+1... $\left(\frac{N}{p}-1\right)(p+1)$ et ainsi de suite, et qu'il est prévu que les sections d'interface entrantes successives ont accès respectivement aux cellules 0 à r-1, d à r-1+d, 2d à r-1+2d et ainsi de suite, d étant un nombre inférieur à r et de préférence un sous-multiple de r, selon l'une quelconque des

revendications 5 à 8 de la demande de brevet principal, ledit commutateur étant caractérisé en ce qu'il comprend, en outre, un circuit distributeur de cellules de mémoire libres (DCM) associé à chaque sous-groupe de d cellules successives, 0 à $d-1$, d à $2d-1$, etc., ledit

5 circuit distributeur recevant, de chaque microprocesseur de cellule de mémoire (CEM) associée, l'information (P) sur l'état libre ou occupé de la cellule correspondante et distribuant le code d'une de ces cellules libres aux $\frac{r}{d}$ sections d'interface (ILE, ITE, ICE) ayant accès auxdites

10 cellules du sous-groupe, en ce que chacun des $\frac{N}{d}$ distributeurs de cellules de mémoire diffuse également successivement l'adresse des $\frac{r}{d}$ sections d'interface auxquelles il est relié et en ce que chaque section d'interface entrante comporte un circuit de commande qui, à la réception de son adresse, peut sélectionner la cellule libre offerte par le distributeur et commander le premier étage de présélection (PS) pour la

15 mettre en liaison avec ladite cellule.

2. Commutateur selon la revendication 1, caractérisé en ce que chaque distributeur de cellules de mémoire (DCM) comprend un circuit (SCM) sélecteur de cellules libres relié aux fils privés (P) d'état libre ou occupé des d cellules associées, choisissant une cellule

20 libre et diffusant son code vers les sections d'interface entrantes associées sur les fils (ACM) correspondants d'un bus (B), et un compteur d'adresse (CAS) recevant des signaux d'horloge (H) par l'intermédiaire d'un circuit ET (101) commandé par le sélecteur de cellules libres et fournissant successivement les adresses des $\frac{r}{d}$ sections d'interface

25 entrantes associées sur les fils (AS) correspondants du bus (B), le sélecteur de cellules libres fournissant en outre sur un fil (V) du bus (B) un signal de validation en même temps qu'il commande le circuit ET (101), tant que la cellule choisie n'est pas prise.

3. Commutateur selon la revendication 2, caractérisé en ce

30 que chaque section d'interface entrante comprend un circuit détecteur d'adresse (DA), connecté aux fils (AS) d'adresse d'un bus (B) correspondant, et un circuit ET (102), commandé par le signal de validation du fil (V) de validation du bus (B), par le signal fourni par le circuit détecteur d'adresse (DA) et par un signal de demande de cellule

35 élaboré en amont, pour transmettre le code de cellule libre comme commande au premier étage de présélection spatiale (PS).

4. Commutateur selon l'une quelconque des revendications 1 à 3, comprenant, en outre, des sections de terminaux connectées chacune à une section d'interface terminaux entrants et à une section d'interface terminaux sortants, chaque section de terminaux comportant, dans le sens sortant, un premier étage de sélection de terminaux commandé par le circuit de commande de la section d'interface terminaux sortants, des modules intermédiaires contrôlés par ledit circuit de commande sur chacune des sorties du premier étage de sélection de terminaux, et un deuxième étage de sélection de terminaux commandé par lesdits modules et dont les sorties sont reliées chacune à un terminal sortant donnant accès à une voie numérique extérieure au réseau à paquets, la section de terminaux, dans le sens entrant, étant constituée symétriquement, chaque section d'interface de terminaux comprenant, dans chacun des sens entrant et sortant, une mémoire commandée par le circuit de commande (CC, CC') correspondant et une liaison directe entre la section d'interface sortante et la section d'interface entrante, selon la revendication 15 de la demande de brevet principal, ledit commutateur étant caractérisé en ce que, dans le sens sortant, ladite mémoire est constituée par un premier registre (R1) capable de recevoir et de retransmettre un octet et par un deuxième élément de mémoire à t registres d'octets (R2) connecté au premier registre, t étant le nombre d'octets dans l'en-tête précédant l'identité du module par lequel doit transiter le paquet, le circuit de commande (CC) de la section d'interface de terminaux sortants (ITS) étant connecté en parallèle entre le premier registre (R1) et le deuxième élément de mémoire (R2) et un circuit ET (103) commandé par le circuit de commande (CC) étant interposé sur le fil de demande (D) entre les modules en aval et l'étage de sélection finale (SF) en amont.

5. Commutateur selon la revendication 4, caractérisé en ce que, dans le sens entrant, ladite mémoire est constituée par un premier registre (R1) capable de recevoir et de retransmettre un octet et par un deuxième registre (R2), le circuit de commande (CC') de la section d'interface de terminaux entrants (ITE) étant connecté en parallèle entre les deux registres (R1, R2) et un circuit OU (104) étant prévu sur le fil d'offre (O) pour permettre l'envoi d'un paquet dans le commutateur par l'intermédiaire d'une liaison directe entre les circuits de commande (CC, CC') des sections d'interface.

1/4

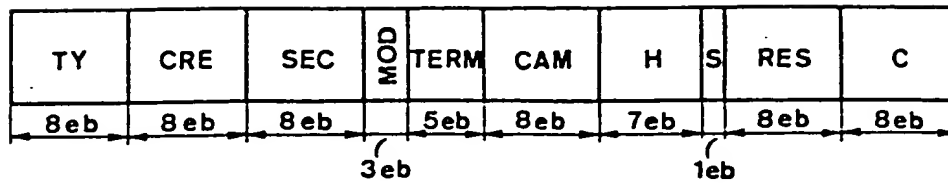


FIG. 1

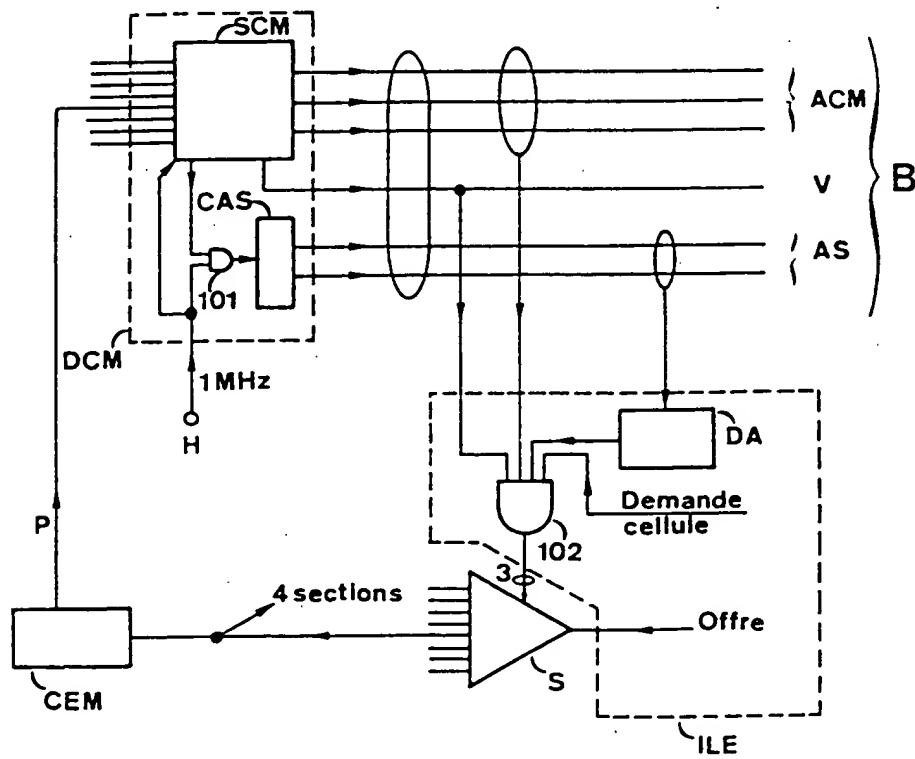


FIG. 4

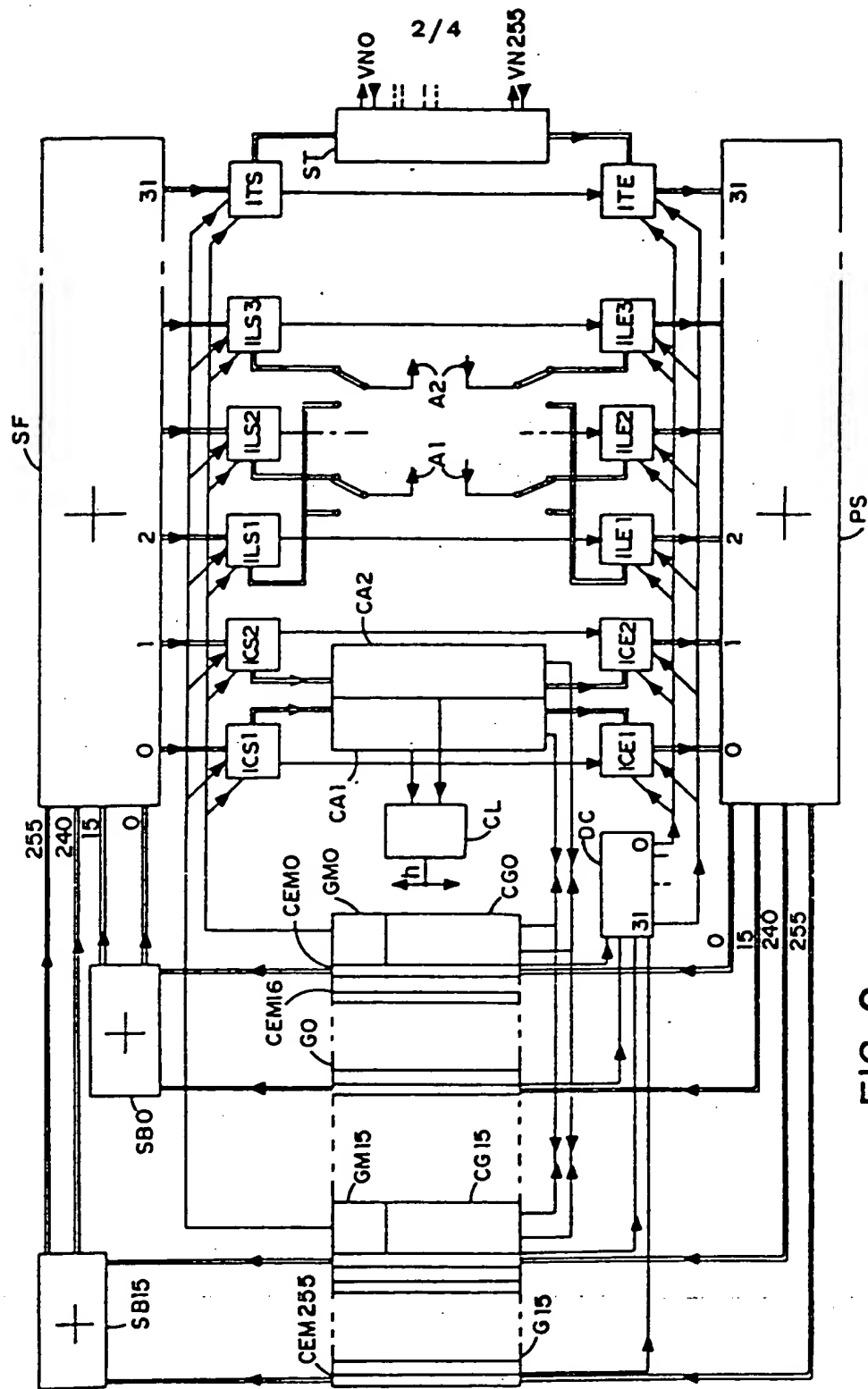


FIG. 2

3/4

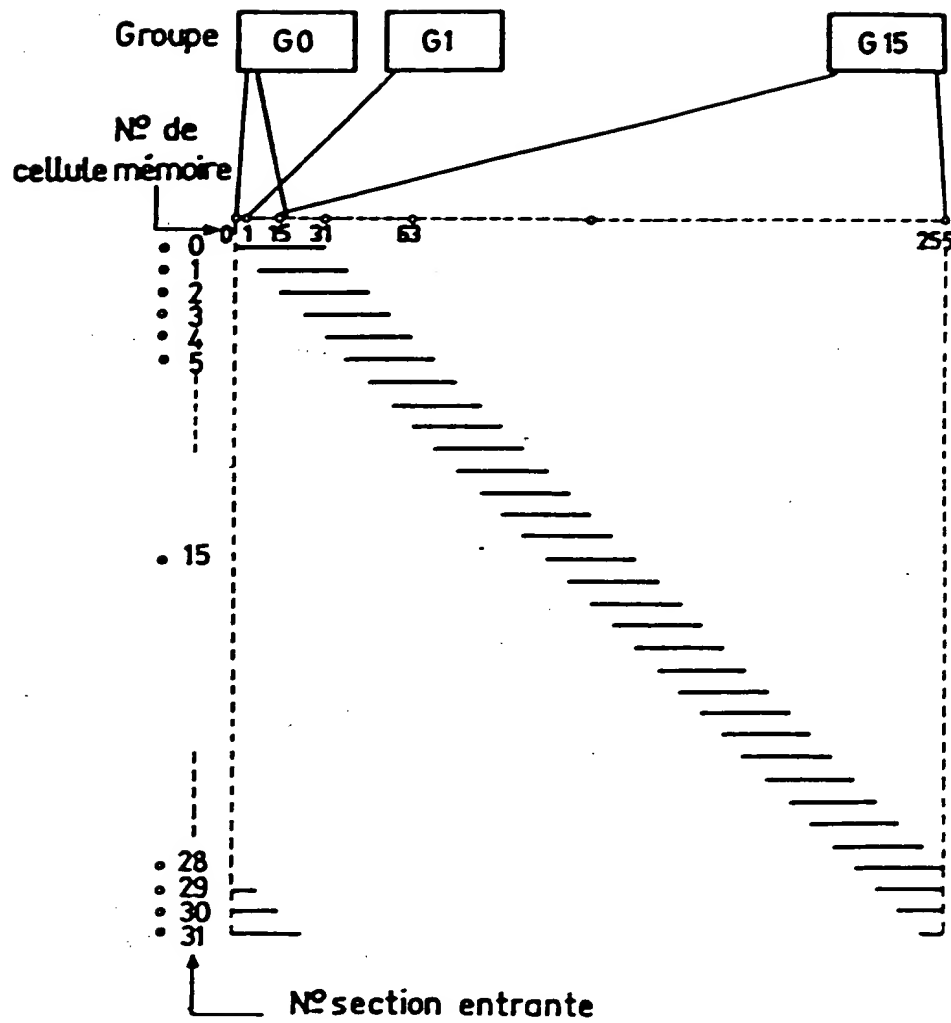


FIG. 3

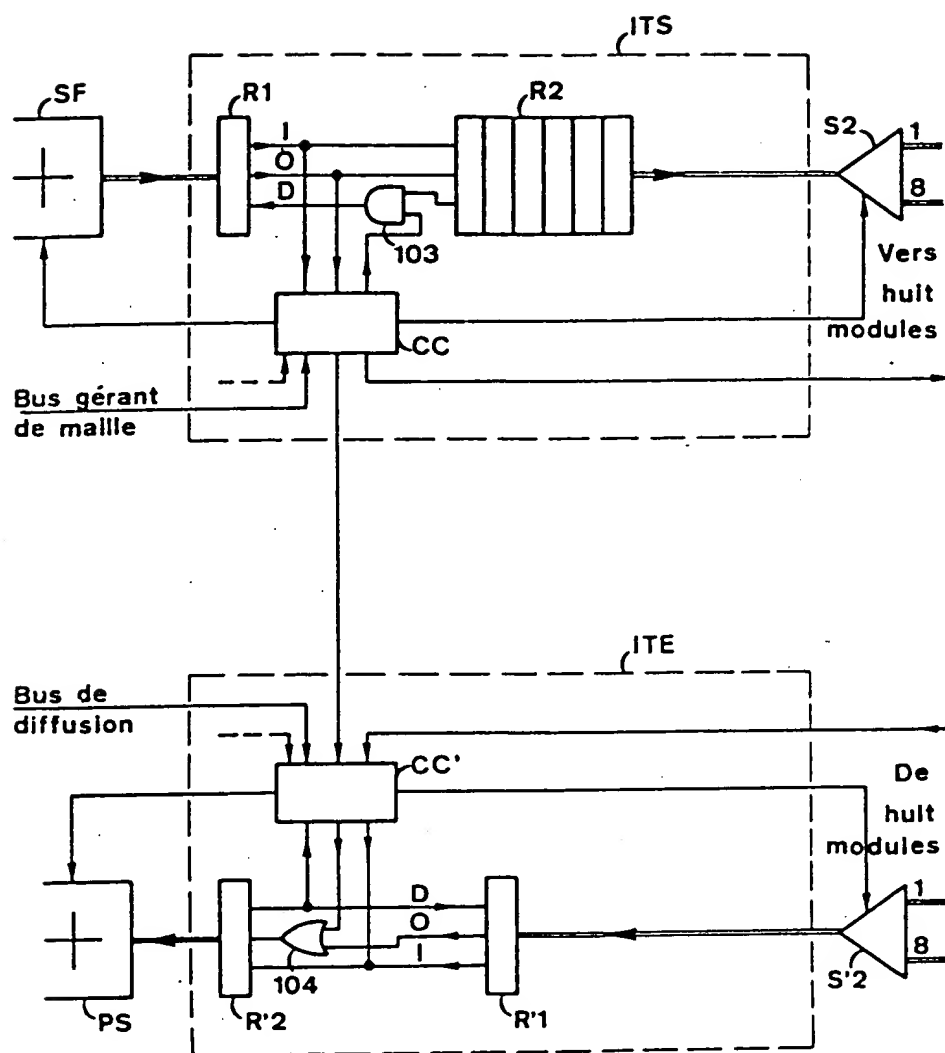


FIG. 5

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**